

Wydział Fizyki, Astronomii i Informatyki Stosowanej
Uniwersytetu Mikołaja Kopernika
Pracownia układów programowalnych

Ćwiczenie 5

**Implementacja bloków mnożących w strukturze FPGA typu VIRTEX-5
(GENESYS, Core Generator, DSP48E, HD44780, ST7066U)**

Cel ćwiczenia

Celem ćwiczenia jest zdobycie umiejętności wykorzystywania wbudowanych bloków funkcjonalnych w strukturach układów programowalnych FPGA typu Virtex-5, oraz posługiwanie się narzędziem „Core Generator”. W ćwiczeniu należy wykonać projekt realizujący mnożenie dwóch liczb ze znakiem stosując do tego celu komponent DSP48E. Wynik mnożenia wyświetlony zostanie na wyświetlaczu LCD PC1602-D.

Zagadnienia do przygotowania

Opis bloku **DSP48E** – wykonywane operacje, możliwe konfiguracje, zastosowania [1].
Zapoznanie się z dołączonym projektem sterownika LCD, oraz tryby komunikacji, zasada działania i konfiguracja wyświetlacza PC1602-D [2].
Zapoznanie się z dokumentacją zestawu **GENESYS** [3]. Mnożenie liczb zapisanych w kodzie U2.
Eliminacja drgań mechanicznych przycisku – sposoby realizacji.

Przebieg ćwiczenia

1. Uruchomić środowisko ISE, wybrać odpowiedni układ oraz dodać do projektu kopie dołączonych plików: **lcd_drv.vhd**, **main.vhd**. Na podstawie dostarczonego pliku **GenesysGeneral.ucf** utworzyć i dodać do projektu plik **main.ucf** w którym umieścić należy jedynie niezbędne dla projektu ograniczenia wymagane w procesie implementacji. Projekt w dostarczonej wersji realizuje wysyłanie wartości ustawionej na przełącznikach „*GPIO Switches*” (SW0-SW7) do wyświetlacza LCD po naciśnięciu przycisku BTN1. W projekcie dodatkowo zastosowano układ eliminujący drgania przycisku BTN1. Po przeprowadzeniu syntezy, implementacji i przesłania mapy bitowej, sprawdzić poprawność działania układu. Na podstawie tabeli opisującej kody wyświetlanych znaków LCD [4], zweryfikować wartości cyfrowe na przełącznikach „*GPIO Switches*” (**w pozycji ON wymuszony jest poziom logiczny „1”**).
2. Do projektu dodać nowe źródło „*Core Generator*” i wybrać element mnożący (*FPGA Features and Design* → *XtremeDSP Slice* → *Multiplier v9.1i*). Korzystając z nakładki graficznej skonfigurować blok *DSP48E*, tak aby liczby **A** i **B** były 4-bitowe, wyłączyć rejestry zatrzaszkujące. Następnie należy w pliku: *main.vhd* odpowiednio zmapować komponent *DSP48E*. Wejścia i wyjścia tego komponentu można uzyskać poprzez wygenerowanie dla niego kodu VHDL. Wyjście **P** doprowadzić do wejścia sterownika LCD, 4-bitowe liczby **A** i **B** podawać z przełączników „*GPIO Switches*” (SW0-SW7).
3. Wykorzystać przyciski: BTN0 do resetowania, BTN1 do odczytu rezultatu mnożenia na wyświetlaczu LCD.
4. Sprawdzić poprawność wykonania operacji mnożenia porównując wyświetlany znak z dokumentacją wyświetlacza [4]. Uwaga: **mnożone liczby A i B zapisane są w kodzie U2**.
5. (*punkt obowiązkowy dla 60–cio godzinnych grup ćwiczeniowych*) Do projektu dodać nowe źródło „*Core Generator*” i wybrać element mnożący (*FPGA Features and Design* →

XtremeDSP Slice → *Adder/Subtractor v9.1i*). Przy pomocy wizarda wybrać wejścia A:B i C oraz ustawić szerokość magistral na 4. Wyłączyć rejestry zatrzymujące. Analogicznie jak punkcie 2 zmapować komponent. Sprawdzić poprawność dodawania/odejmowania wykorzystując wyświetlacz LCD.

Literatura

[1] Virtex-5 FPGA XtremeDSP Design Considerations User Guide: **ug193.pdf**.

[2] Pliki **main.vhd**, **GenesysGeneral.ucf**, **lcd_drv.vhd**.

[3] Genesys™ Virtex-5 FPGA Development Board: **Genesys_RM_VC.pdf**, **Genesys-sch.pdf**.

[4] Opis wyświetlacza LCD: **24_lcd_information.pdf**, **ST7066U.pdf**.

UWAGA, pozycje literaturowe dostępne są w postaci elektronicznej.